

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-335500

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78 3 7 1
27/10 4 3 4

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平9-147844

(22)出願日 平成9年(1997)6月5日

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 布野 栄

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 石原 勝則

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74)代理人 弁理士 鈴江 武彦 (外6名)

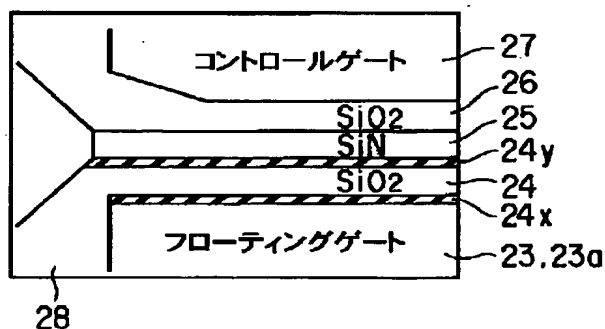
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 本発明は、ゲート絶縁膜となるCVD酸化膜の膜厚増加を容易に阻止でき、各セルトランジスタの特性の劣化やばらつきを抑制し、歩留まり及び信頼性の向上を図る。

【解決手段】 多結晶シリコン層23aを表面上に有する半導体基板に対し、CVD法により、多結晶シリコン層23a上にCVD酸化膜24を形成する工程と、耐酸化性雰囲気中の熱処理により、CVD酸化膜の表面、及びCVD酸化膜と多結晶シリコン層との界面の両者に同時に耐酸化性層24x、24yを形成する工程とを含んでいる半導体装置の製造方法。



1

【特許請求の範囲】

【請求項1】多結晶シリコン層を表面上に有する半導体基板に対し、CVD法により、前記多結晶シリコン層上にCVD酸化膜を形成する工程と、

耐酸化性雰囲気中の熱処理により、前記CVD酸化膜の表面、及び前記CVD酸化膜と前記多結晶シリコン層との界面の両者に同時に耐酸化性層を形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項2】多結晶シリコン層を表面上に有する半導体基板に対し、耐酸化性雰囲気中の熱処理により、前記多結晶シリコン層の表面に耐酸化性層を形成する工程と、CVD法により、前記耐酸化性層上にCVD酸化膜を形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項3】請求項1又は請求項2に記載の半導体装置の製造方法において、前記多結晶シリコン層は、不純物が拡散されていることを特徴とする半導体装置の製造方法。

【請求項4】請求項1乃至請求項3のいずれか1項に記載の半導体装置の製造方法において、前記耐酸化性層は、窒化シリコンからなることを特徴とする半導体装置の製造方法。

【請求項5】請求項1乃至請求項4のいずれか1項に記載の半導体装置の製造方法において、前記耐酸化性雰囲気は、窒素を含むガス雰囲気であることを特徴とする半導体装置の製造方法。

【請求項6】不純物が拡散された多結晶シリコン層を表面上に有する半導体基板に対し、CVD法により、前記多結晶シリコン層上にCVD酸化膜を形成する工程と、耐酸化性雰囲気中の熱処理により、前記CVD酸化膜の表面、及び前記CVD酸化膜と前記多結晶シリコン層との界面の両者に同時に窒化シリコンからなる耐酸化性層を形成する工程と、前記CVD酸化膜表面に形成された窒化シリコンからなる耐酸化性層上に、LP-CVD法により、窒化シリコン層を形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート絶縁膜を有する半導体装置の製造方法に係り、特に、積層構造のゲート絶縁膜における最下層の酸化膜の膜厚増加を阻止し、その酸化膜上の窒化膜の膜質を向上させ、歩留まりや信頼性を向上し得る半導体装置の製造方法に関する。

【0002】

【従来の技術】例えば、携帯電話や電子手帳等の小型の電子機器では、高密度に集積化され、且つ低電力で駆動可能な半導体装置が搭載されている。この種の半導体装置としては、例えば、EPROM（紫外線消去／電氣的書込可能なROM）やEEPROM（電氣的書込／消去

2

可能なROM）がある。ここで、EPROMは、2層の多結晶シリコン層を用いるスタック構造を有した不揮発性のメモリである。なお、EEPROMもこれに類する構造であるため、以下の説明は、EPROMを例に挙げて述べる。

【0003】このような半導体装置は、高集積化に伴い、各素子が著しく微細化されると共に、低電力駆動化により、各素子のゲート絶縁膜が薄膜化されている。この薄膜化は非常に重要であるため、半導体装置の製造の際には、従前の熱酸化法に代えて、CVD法によりゲート絶縁膜が形成される。

【0004】図8はEPROMにおけるセルトランジスタ部の製造工程図である。図8（a）に示すように、選択酸化法により、p型シリコン基板1上に素子分離用のフィールド酸化膜（図示せず）が選択的に形成される。続いて、熱酸化法により、基板上全面に10nm厚に熱酸化膜の第1ゲート絶縁膜2が形成される。

【0005】次に、LP-CVD法により、第1ゲート絶縁膜2上に後工程でフローティングゲート電極3となる100nm厚の多結晶シリコン層3aが堆積され、しかる後、多結晶シリコン層3a内に不純物としてリンが熱拡散される。

【0006】次に、LP-CVD法により、多結晶シリコン層3a上に、6nm厚の第1のCVD酸化膜4が堆積され、このCVD酸化膜4上に10nm厚の窒化シリコン層5が堆積され、さらに窒化シリコン層5上に厚さ5nmの第2のCVD酸化膜6が堆積される。

【0007】しかる後、酸化性雰囲気にて第2のCVD酸化膜6が緻密化される。なお、第1のCVD酸化膜4、窒化シリコン層5及び第2のCVD酸化膜5の三層からなるONO膜（インターポリ絶縁膜）7は、第2ゲート絶縁膜を構成している。

【0008】続いて、LP-CVD法により、ONO膜7上に後工程でコントロールゲート電極8となる200nm厚の多結晶シリコン層8aが堆積され、この多結晶シリコン層8内に不純物としてリンが拡散される。

【0009】引き続き、多結晶シリコン層8上にフォトレジストが塗布され、写真蝕刻法により、図8（b）に示すように、このフォトレジスト9が所望の形状にパターンニングされる。

【0010】そして、パターンニングされたフォトレジスト9をマスクとし、ドライエッチング法により、図8（c）に示すように、コントロールゲート用の多結晶シリコン層8a、ONO膜7、及びフローティングゲート用の多結晶シリコン層3aがエッチング除去され、しかる後、レジストパターン9が除去される。

【0011】次に、図8（d）に示すように、酸化性雰囲気により熱処理（後酸化）が施され、基板表面に酸化膜10が形成される。これにより、多結晶シリコン層8aからなるコントロールゲート電極8の形成が完了さ

3

れ、且つ多結晶シリコン層 3 a からなるフローティングゲート電極 3 の形成が完了され、もって、EPROM が完成される。

【0012】

【発明が解決しようとする課題】しかしながら、以上のような EPROM の製造方法には、以下に述べるような問題がある。コントロールゲート電極 8、ONO 膜 7 及びフローティングゲート電極 3 を形成するため、図 8

(c) ~ (d) に示す酸化性雰囲気中にて後酸化を施す工程において、第 1 の CVD 酸化膜 4 とその下層の多結晶シリコン層 3 a との界面にて側面から酸化剤が導入され、図 9 に示すように、この多結晶シリコン層 3 a が酸化されてパーズピーク部 1 1 が発生する問題がある。なお、これは一般に、ゲートパーズピーク酸化と呼ばれている。

【0013】また、ONO 膜 7 に CVD 酸化膜 4 を用いた構成は、ONO 膜に熱酸化膜を用いた構成に比べ、フローティングゲート電極 3 が酸化され易いという問題がある。また、酸化により、フローティングゲート電極 3 の一部が酸化膜となると、実質的に ONO 膜 7 の膜厚が 20 増加する現象が発生する。

【0014】ONO 膜 7 (第 2 ゲート絶縁膜) の膜厚増加は、EPROM や EEPROM 等の各セルトランジスタにて、特性の劣化やばらつきをもたらす可能性がある。すなわち、図 10 (a) に示す積層ゲート構造を有するセルトランジスタにおいては、図 10 (b) 及び次式に示すように、セルトランジスタの動作特性 (書込特性あるいは書込/消去特性) を左右するフローティングゲート電極 3 の電圧 V_{FG} が、ONO 膜 7 の膜厚に依存するコントロールゲート・フローティングゲート間容量 C_2 と、第 1 ゲート絶縁膜 2 の膜厚に依存するフローティングゲート・チャネル領域間容量 C_1 との比率; $C_2 / (C_1 + C_2)$ により、決定されるからである。

【0015】

【数 1】

$$V_{FG} = \frac{C_2}{(C_1 + C_2)} V_{CG}$$

V_{CG} : コントロールゲート電極 8 の印加電圧

【0016】また、このような各セルトランジスタにおける特性の劣化やばらつきは、半導体装置の歩留まりや信頼性の低下にもつながる恐れがある。本発明は上記実情を考慮してなされたもので、ゲート絶縁膜となる CVD 酸化膜の膜厚増加を容易に阻止でき、各セルトランジスタの特性の劣化やばらつきを抑制し、歩留まり及び信頼性を向上し得る半導体装置の製造方法を提供することを目的とする。また、本発明の第 2 の目的は、低電力駆動のためにゲート絶縁膜を容易に薄膜化し得る半導体装置の製造方法を提供することにある。

【0017】

4

【課題を解決するための手段】請求項 1 に対応する発明は、多結晶シリコン層を表面上に有する半導体基板に対し、CVD 法により、前記多結晶シリコン層上に CVD 酸化膜を形成する工程と、耐酸化性雰囲気中の熱処理により、前記 CVD 酸化膜の表面、及び前記 CVD 酸化膜と前記多結晶シリコン層との界面の両者に同時に耐酸化性層を形成する工程とを含んでいる半導体装置の製造方法である。

【0018】また、請求項 2 に対応する発明は、多結晶シリコン層を表面上に有する半導体基板に対し、耐酸化性雰囲気中の熱処理により、前記多結晶シリコン層の表面に耐酸化性層を形成する工程と、CVD 法により、前記耐酸化性層上に CVD 酸化膜を形成する工程とを含んでいる半導体装置の製造方法である。

【0019】さらに、請求項 3 に対応する発明は、請求項 1 又は請求項 2 に対応する半導体装置の製造方法において、前記多結晶シリコン層としては、不純物が拡散されている半導体装置の製造方法である。

【0020】また、請求項 4 に対応する発明は、請求項 1 乃至請求項 3 のいずれか 1 項に対応する半導体装置の製造方法において、前記耐酸化性層としては、窒化シリコンからなる半導体装置の製造方法である。

【0021】さらに、請求項 5 に対応する発明は、請求項 1 乃至請求項 4 のいずれか 1 項に対応する半導体装置の製造方法において、前記耐酸化性雰囲気としては、窒素を含むガス雰囲気である半導体装置の製造方法である。

【0022】また、請求項 6 に対応する発明は、不純物が拡散された多結晶シリコン層を表面上に有する半導体基板に対し、CVD 法により、前記多結晶シリコン層上に CVD 酸化膜を形成する工程と、耐酸化性雰囲気中の熱処理により、前記 CVD 酸化膜の表面、及び前記 CVD 酸化膜と前記多結晶シリコン層との界面の両者に同時に窒化シリコンからなる耐酸化性層を形成する工程と、前記 CVD 酸化膜表面に形成された窒化シリコンからなる耐酸化性層上に、LP-CVD 法により、窒化シリコン層を形成する工程とを含んでいる半導体装置の製造方法である。

(用語) 次に、以上のような本発明の技術内容について補足的に説明する。

【0023】耐酸化性雰囲気は、酸化を生じさせない雰囲気という概念であり、この概念は例えば窒化性雰囲気を包含している。具体的な耐酸化性雰囲気としては、例えば、アンモニア (NH_3) ガス、亜酸化窒素 (N_2O ; 一酸化二窒素ともいう) ガス又は一酸化窒素 (NO) ガス等の如き、窒素を含むガス雰囲気がある。

【0024】また同様に、耐酸化性層は、酸化を生じさせない層という概念であり、この概念は例えば窒化層を包含している。具体的な耐酸化性層としては、例えば Si_3N_4 層の如き、窒化シリコン層がある。

5

【0025】熱処理としては、例えば700℃以上の温度が適用されるが、窒素を含むガスの分解温度以上であれば、700℃未満の温度としてもよい。また、熱処理の方式としては、ランプアニール(RTP)方式又は抵抗加熱方式などが適用可能である。

【0026】CVD法としては、周知のLP-CVD法、常圧CVD法、又はプラズマCVD法などが適宜使用可能となっている。多結晶シリコン層の不純物としては、例えばボロン(B)やリン(P)等の周知のドーパントが適宜使用可能である。また、不純物の濃度は、デバイス設計に対応して周知の濃度に調整可能である。

(作用) 従って、本発明は以上のような手段を講じたことにより、CVD酸化膜と多結晶シリコン層との界面に、窒化シリコン等の耐酸化性層が形成されるので、後工程のエッチングにて当該界面を露出させた後、熱処理により後酸化を施しても、耐酸化性層によって、多結晶シリコン層側での酸化(ゲートバースピーク酸化)を完全に抑制することができる。

【0027】これにより、ゲート絶縁膜となるCVD酸化膜の膜厚増加を容易に阻止でき、各セルトランジスタの特性の劣化やばらつきを抑制し、歩留まり及び信頼性を向上させることができる。

【0028】またこれに加え、請求項1、請求項3乃至請求項6のいずれかに対応する発明では、CVD酸化膜表面にも同時に耐酸化性層が形成されるので、耐酸化性層が窒化シリコンの場合、その上層に形成される窒化シリコン層は膜質が非常に良好なものとなる。すなわち、CVD酸化膜の表面が窒化されることにより、その上に形成される窒化シリコン層の堆積初期の分子状態がきちんと配列されるため、この窒化シリコン層の膜質を改善することができる。

【0029】これにより、窒化シリコン層が高耐圧化されてその薄膜化が容易となるので、CVD酸化膜と窒化シリコン層とがゲート絶縁膜の構成要素の場合、低電力駆動のためにゲート絶縁膜を容易に薄膜化することができる。

【0030】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。図1は本発明の一実施の形態に係る半導体装置のセルトランジスタ部の構成を示す断面図である。この半導体装置は、具体的にはEPROMであり、表面に選択的にソース層及びドレイン層(共に図示せず)を有するp型シリコン基板21上に第1ゲート絶縁膜22が形成されている。第1ゲート絶縁膜22上には多結晶シリコン層23aからなるフローティングゲート電極23が選択的に形成されている。

【0031】フローティングゲート電極23上には、第1のCVD酸化膜24、窒化シリコン層25、第2のCVD酸化膜26及びコントロールゲート電極27が順次積層されている。

6

【0032】また、コントロールゲート電極27の上部並びに側面部、第1及び第2のCVD酸化膜24、26の側面部、フローティングゲート電極23の側面部、及び第1ゲート絶縁膜22の露出部における各表面領域上には、酸化膜28が形成されている。

【0033】ここで、第1のCVD酸化膜24とフローティングゲート電極23との界面には、図2に示すように、第1の界面窒化層24xが形成されている。この第1の界面窒化層24xは、窒化シリコンからなり、フローティングゲート電極23への側面からの酸化膜28の侵入を阻止する機能をもっている。

【0034】一方、第1のCVD酸化膜24とその上層の窒化シリコン層25との界面には、第2の界面窒化層24yが形成されている。この第2の界面窒化層24yは、窒化シリコンからなり、上層の窒化シリコン層25の堆積初期の分子の配列状態を良好にする機能をもっている。なお、これら第1及び第2の界面窒化層24x、24yは互いに同時に形成されている。

【0035】また、第1の界面窒化層24x、第1のCVD酸化膜24、第1の界面窒化層24y、窒化シリコン層25及び第2のCVD酸化膜26は、インターポリ絶縁膜29を構成している。このインターポリ絶縁膜29は従来のONO膜7に相当する。

【0036】次に、以上のように構成されたEPROMのセル部分の製造方法について説明する。図3(a)に示すように、p型シリコン基板21上に、選択酸化法により、素子分離用のフィールド酸化膜(図示せず)が形成される。続いて、900℃のHCl添加のドライ酸素雰囲気中での熱処理により、p型シリコン基板上全面に10nm厚の第1ゲート絶縁膜(熱酸化膜)22が形成される。

【0037】次に、図3(b)に示すように、モノシラン(SiH₄)を用いた600℃でのLP-CVD法により、第1ゲート絶縁膜22上にフローティングゲート電極23となる100nm厚の多結晶シリコン層23aが堆積された後、この多結晶シリコン層23a内に不純物としてリンが850℃にて熱拡散される。

【0038】次に、図3(c)に示すように、ジクロルシラン(SiH₂Cl₂)と亜酸化窒素(N₂O)を用いた800℃でのLP-CVD法により、多結晶シリコン層23a上に、6nm厚の第1のCVD酸化膜24が堆積される。

【0039】ここで、700℃以上でのアンモニア(NH₃)ガスにより、熱処理が施される。この熱処理により、図3(d)に示すように、第1のCVD酸化膜24と多結晶シリコン層23aとの界面に第1の界面窒化層24xが形成され、同時に第1のCVD酸化膜24の表面に第2の界面窒化層24yが形成される。

【0040】続いて、図3(e)に示すように、ジクロルシランとアンモニアを用いた700℃でのLP-CV

7

D法により、第2の界面窒化層24y上に10nm厚の窒化シリコン層25が堆積され、ジクロルシランと亜酸化窒素を用いた800℃でのLP-CVD法により、窒化シリコン層25上に5nm厚の第2のCVD酸化膜26が堆積される。

【0041】この第2のCVD酸化膜26は、800℃でのウェット酸素雰囲気中での熱処理により、緻密化される。なお、第1の界面窒化層24x乃至第2のCVD酸化膜26の積層構造からなるインターポリ絶縁膜29は第2ゲート絶縁膜となるものである。

【0042】続いて、図4(a)に示すように、シランを用いた600℃でのLP-CVD法により、インターポリ絶縁膜29上にコントロールゲート電極27となる200nm厚の多結晶シリコン層27aが堆積され、この多結晶シリコン層27a内に、不純物としてリンが850℃で熱拡散される。

【0043】引き続き、図4(b)に示すように、多結晶シリコン層27a上にフォトリソグレイ30が塗布され、写真蝕刻法を用い、レジスト30が所望の形状にパターニングされてレジストパターンが形成される。

【0044】そして、図4(c)に示すように、パターニングされたレジスト30をマスクとして、ドライエッチング法により、多結晶シリコン層23a、インターポリ絶縁膜29及び多結晶シリコン層27aが選択的にエッチング除去される。しかる後、レジスト30が除去される。

【0045】その後、900℃のドライ酸素雰囲気中で熱処理(後酸化)が施され、基板表面に酸化膜28が形成される。これにより、EPROMセル部が完成される。このような製造方法においては、第1のCVD酸化膜24と多結晶シリコン層23aとの界面に第1の界面窒化層24xが形成されるので、900℃以上の熱処理により後酸化を施しても、第1の界面窒化層24xによって、多結晶シリコン層23a側での酸化(ゲートバースピーク酸化)を完全に抑制することができる。

【0046】また、第1のCVD酸化膜24の表面には同時に第2の界面窒化層24yが形成されるので、その上層の窒化シリコン層25の膜質が非常に良好なものとなる。これは第1のCVD酸化膜24の表面が窒化されたために、その上に形成される窒化シリコン層25の堆積初期の分子状態がきちんと配列されるためである。このため、窒化シリコン層25の膜質を改善することができる。

(評価)次に、本実施形態に係る製造工程中でインターポリ絶縁膜29を製造した際に、そのインターポリ絶縁膜29及びその下層の多結晶シリコン層23aについて、図5に示すように、深さ方向に沿って窒素、酸素及びシリコンの各濃度分布を調べた。同図において、第1及び第2の界面窒化層24x、24y中にて窒素濃度が増大しており、多結晶シリコン層23a表面では酸素濃

8

度が減少している。すなわち、前述した多結晶シリコン層側でのバースピーク酸化を抑制する作用を不純物の濃度分布から確認することができた。

【0047】次に、図6に示すように、インターポリ絶縁膜29を形成したときのインターポリ絶縁膜29の膜厚の増加量を調べた。また、比較のために、第1のCVD酸化膜24の形成前にアンモニア雰囲気中で熱処理(窒化処理)を施した本発明の変形形態と、アンモニア雰囲気中での熱処理を全く施さない従来製法のONO膜7に関しても膜厚増加量を調べた。

【0048】その結果、本実施形態(CVD酸化膜形成後の窒化処理)は、インターポリ絶縁膜29の膜厚増加量が零であり、多結晶シリコン層23a側でのバースピーク酸化が抑制されていることを確認できた。また、本発明の変形形態も同様であった。一方、従来製法では、ONO膜7の膜厚増加量が顕著に測定され、多結晶シリコン層3a側へのバースピーク酸化が観察された。

【0049】また、図7に示すように、インターポリ絶縁膜29を形成したときのリーク電流を同様に本実施形態、本発明の変形形態、従来製法の3つについて調べた。その結果、本実施形態のリーク電流を任意単位で1としたとき、本発明の変形形態ではリーク電流が2.5であった。一方、従来製法では、リーク電流が5であった。

【0050】すなわち、本実施形態(CVD酸化膜形成後の窒化処理)では、バースピーク酸化の抑制と、窒化シリコン層25の膜質改善とにより、リーク電流が最低レベルに抑えられている。また、本発明の変形形態では、バースピーク酸化が抑制されているものの、窒化シリコン層25の膜質の改善効果がないことにより、リーク電流がやや上昇している。なお、窒化シリコン層25の膜質の改善効果がない理由は、本発明の変形形態では、第1のCVD酸化膜24の形成前にアンモニア雰囲気の熱処理を施したため、第2の界面窒化層24yが形成されないからである。

【0051】一方、従来製法では、バースピーク酸化が抑制されず、窒化シリコン層5の膜質も改善されないため、3つの試料のうち、最大のリーク電流となった。上述したように本実施の形態によれば、後酸化を施しても、第1の界面窒化層24xによって、多結晶シリコン層23a側でのバースピーク酸化を完全に抑制することができるので、第2ゲート絶縁膜となるCVD酸化膜24の膜厚増加を容易に阻止でき、各セルトランジスタの特性の劣化やばらつきを抑制し、歩留まり及び信頼性を向上させることができる。

【0052】また、多結晶シリコン層23a側でのバースピーク酸化が抑制されているため、より高集積化されたゲート幅の狭い素子であっても、各素子間の特性を均一に保持しながら製造することができる。

【0053】さらに、窒化シリコン層25の形成前に第

1のCVD酸化膜24表面が窒化されることにより、膜質の改善された高耐压の窒化シリコン層25を容易に形成できると共に、インターポリ絶縁膜(ONO膜)29の信頼性を向上でき、もって、インターポリ絶縁膜29を容易に薄膜化することができる。

【0054】さらに、インターポリ絶縁膜29の容易な薄膜化に伴い、低電力駆動に適した薄膜のゲート絶縁膜を有する半導体装置を容易に製造することができる。

(他の実施形態)なお、上記実施形態では、第1及び第2のCVD酸化膜24、26をLP-CVD法により形成した場合について説明したが、これに限らず、常圧CVD法、プラズマCVD法などにより酸化膜(ゲート絶縁膜)を形成しても、本発明を同様に実施して同様の効果を得ることができる。

【0055】また、上記実施形態では、第1及び第2のCVD酸化膜24、26の材料ガスとして、ジクロルシラン(SiH_2Cl_2) + 亜酸化窒素(N_2O)を用いた場合について説明したが、これに限らず、テトラエトキシシラン(TEOS)、あるいはモノシラン(SiH_4) + N_2O などを材料ガスとして用いても、本発明を同様に実施して同様の効果を得ることができる。なお、ここで列挙した各CVD法と材料ガスとは、上記実施形態で述べたLP-CVD法やその材料ガスをも含め、適宜組合せてもよいことは言うまでもない。

【0056】また、上記実施形態では、第1のCVD酸化膜24の下地をp型シリコン基板21上の多結晶シリコン層23aとした場合について説明したが、これに限らず、p型シリコン基板21自体を下地としても、本発明を同様に実施して同様の構成を示すことができる。

【0057】さらに、上記実施形態では、第1のCVD酸化膜24の形成後に、連続的に NH_3 (アンモニア)ガスをを用いて熱処理を施した場合を説明したが、これに限らず、第1のCVD酸化膜24の形成後に、一旦降温し、基板をCVD炉から取出して、ある程度の枚数の基板を一括して NH_3 ガス雰囲気中で窒化処理する等の工程のように、第1のCVD酸化膜24の形成と NH_3 ガスをを用いた熱処理とが不連続となる工程であっても、本発明を同様に実施して同様の効果を得ることができる。

【0058】また、上記実施形態では、 NH_3 ガスをを用いて第1及び第2の界面窒化層24x、24yを形成した場合を説明したが、これに限らず、 NH_3 ガスに代えて、 N_2O ガス又はNO(亜酸化窒素)ガス等の如き、窒素を含むガスをを用いて第1及び第2の界面窒化層24x、24yを形成しても、本発明を同様に実施して同様の効果を得ることができる。

【0059】また、上記実施形態では、第1のCVD酸化膜24の形成後に、第1の界面窒化層24xを形成した場合について説明したが、これに限らず、第1のCVD酸化膜24の形成前(多結晶シリコン層の形成後)に、同様の NH_3 等の耐酸化性雰囲気中での熱処理によ

り、第1の界面窒化層24xを形成する工程としても、本発明と同様のバースピーク酸化の抑制効果を得ることができる。なお、この変形例は、第1のCVD酸化膜24の形成前に熱処理を施すため、当然に第2の界面窒化層24yは形成されず、よって、第2の界面窒化層24yによる上層の窒化シリコン層25の膜質改善効果が省略されたものとなる。

【0060】さらに、上記実施形態では、EPROMに適用した場合について説明したが、これに限らず、EEPROM等の他のデバイスに適用しても、本発明を同様に実施して同様の効果を得ることができる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0061】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜となるCVD酸化膜の膜厚増加を容易に阻止でき、各セルトランジスタの特性の劣化やばらつきを抑制し、歩留まり及び信頼性を向上させることができる半導体装置の製造方法を提供できる。また、低電力駆動のためにゲート絶縁膜を容易に薄膜化させることができる半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置のセルトランジスタ部の構成を示す断面図

【図2】同実施の形態における界面窒化層及びその周辺構成を示す断面図

【図3】同実施の形態における製造方法を説明するための製造工程図

【図4】同実施の形態における製造方法を説明するための製造工程図

【図5】同実施の形態におけるインターポリ絶縁膜及び多結晶シリコン層の深さ方向における不純物濃度分布を示す図

【図6】同実施の形態におけるインターポリ絶縁膜の膜厚増加量を窒化処理の有無で比較して示す図

【図7】同実施の形態におけるリーク電流を窒化処理の有無で比較して示す図

【図8】従来のEPROMにおけるセルトランジスタ部の製造工程図

【図9】従来のバースピーク酸化を模式的に説明するための断面図

【図10】従来のEPROMにおけるセルトランジスタ部の構成を示す断面図及び等価回路図

【符号の説明】

- 21…p型シリコン基板
- 22…第1ゲート絶縁膜
- 23a、27a…多結晶シリコン層
- 23…フローティングゲート電極
- 24、26…CVD酸化膜
- 24x、24y…界面窒化層

11

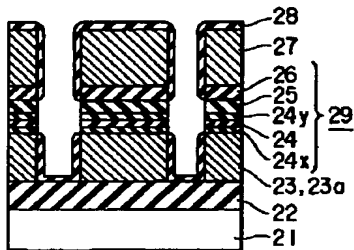
25...窒化シリコン層
27...コントロールゲート電極
28...酸化膜

12

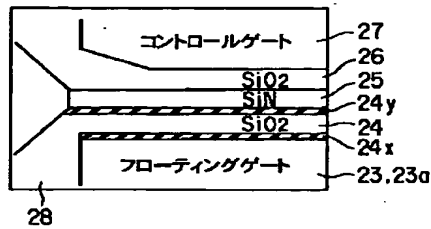
* 29...インターポリ絶縁膜
30...レジスト

*

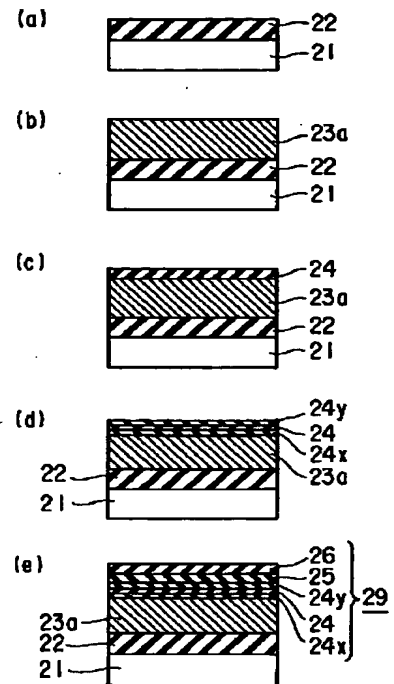
【図1】



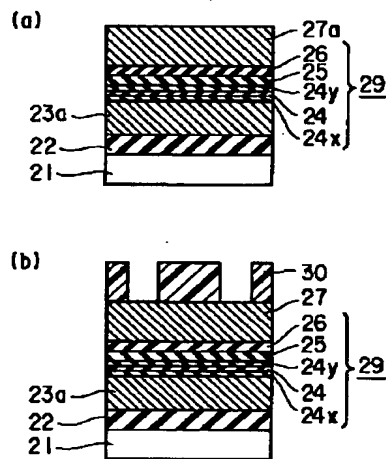
【図2】



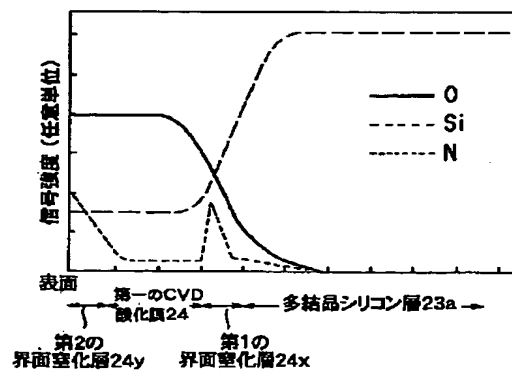
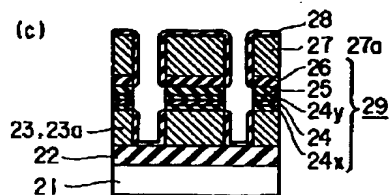
【図3】



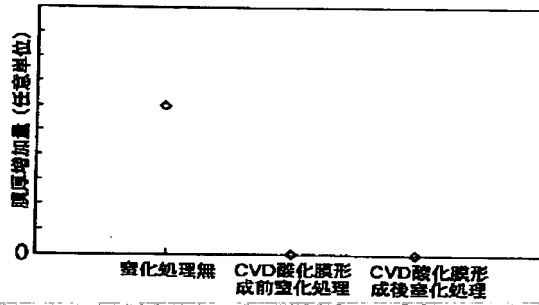
【図4】



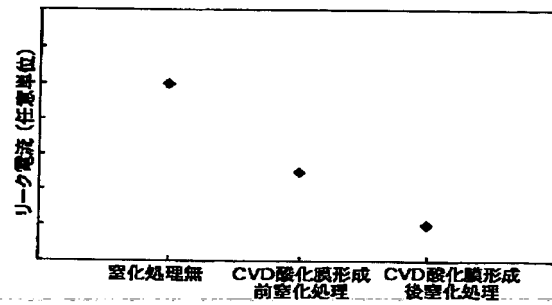
【図5】



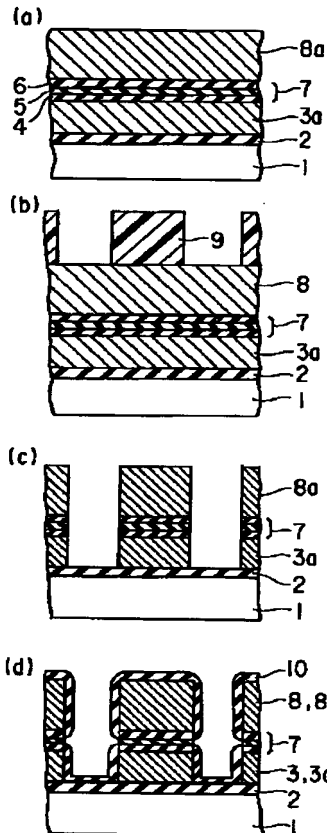
【図6】



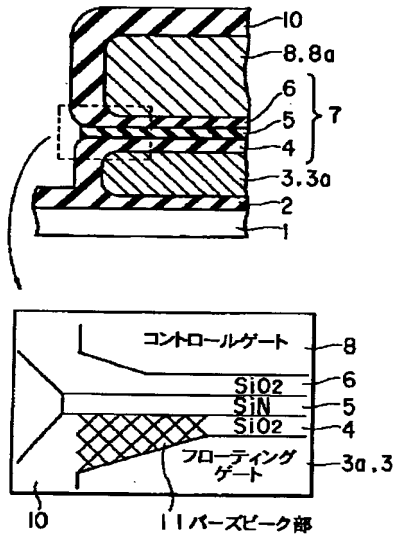
【図7】



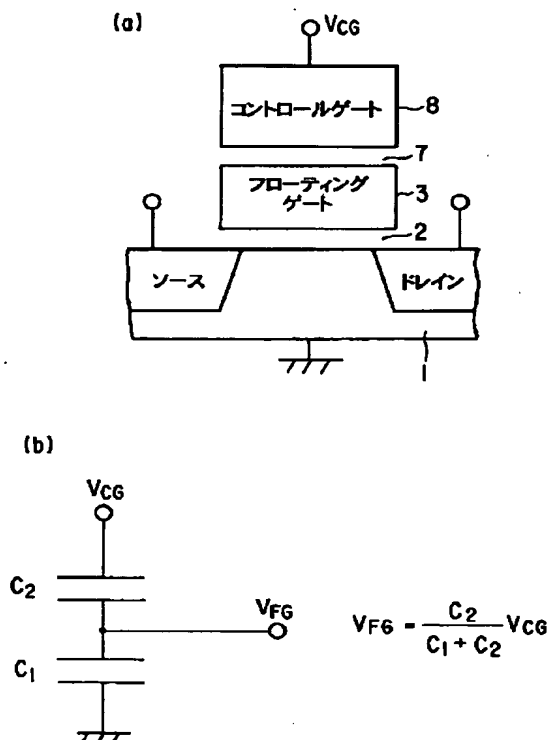
【図8】



【図9】



【図 10】



フロントページの続き

(72) 発明者 角田 弘昭
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 見方 裕一
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

THIS PAGE BLANK (USPTO)